

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yuui SHIMIZU, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: MAGNETIC RANDOM ACCESS MEMORY HAVING TEST CIRCUIT AND TEST METHOD THEREFOR

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

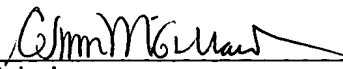
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-300493	August 25, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 8 月 2 5 日
Date of Application:

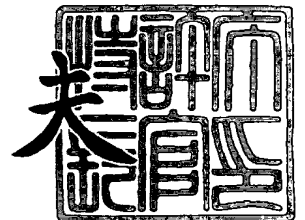
出 願 番 号 特 願 2 0 0 3 - 3 0 0 4 9 3
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 0 0 4 9 3]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 9 月 1 7 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 A000302405
【提出日】 平成15年 8月25日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 11/15
H01L 27/10

【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
【氏名】 清水 有威

【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
【氏名】 岩田 佳久

【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
【氏名】 土田 賢二

【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内
【氏名】 岸 達也

【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝

【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181

【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲

【選任した代理人】
【識別番号】 100088683
【弁理士】
【氏名又は名称】 中村 誠

【選任した代理人】
【識別番号】 100108855
【弁理士】
【氏名又は名称】 蔵田 昌俊

【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男

【選任した代理人】
【識別番号】 100092196
【弁理士】
【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

磁気抵抗素子がマトリクス状に配置されたメモリセルアレイと、
前記メモリセルアレイの各行に配置された書き込みワード線と、
前記メモリセルアレイの各列に配置された書き込みビット線と、
前記書き込みワード線の両端にそれぞれ選択的に接続される第1のドライバ、この第1のドライバより駆動能力の高い第2のドライバ、及び第1のシンカーと、
前記書き込みビット線の一端に接続された第3のドライバ、及びこの第3のドライバより駆動能力の高い第4のドライバと、
前記書き込みビット線他端に接続された第2のシンカーと、
前記第2のドライバにより複数のメモリセルの情報を容易軸方向の一軸書き込みにて一括で書き込む第1の手段と、
前記第4のドライバにより複数のメモリセルへ困難軸方向の一軸書き込みにて同時に、通常動作における二軸書き込みよりも大きい電流を流す第2の手段と
を具備することを特徴とする磁気ランダムアクセスメモリ。

【請求項 2】

テスト実行時の書き込み及び読み出しカラムアドレスを自動発生するカラムアドレスレジスタと、
テスト実行時の書き込み及び読み出しロウアドレスを自動発生するロウアドレスレジスタと
を更に具備することを特徴とする請求項1に記載の磁気ランダムアクセスメモリ。

【請求項 3】

テスト時の書き込みカラムアドレスを複数自動発生するカラムアドレスレジスタと、同時に複数カラムアドレスを選択するカラムデコーダと、
テスト時の書き込みロウアドレスを複数自動発生するロウアドレスレジスタと、同時に複数ロウアドレスを選択するロウデコーダと
を更に具備することを特徴とする請求項1または2に記載の磁気ランダムアクセスメモリ。

【請求項 4】

通常動作における二軸書き込みよりも大きい電流を流した後に、期待値との比較を行う比較器と、
反転したビット数もしくは規格外の抵抗値をもつ各ビット線上のビット数を数え保持する第1のフェイルレジスタと、
前記第1のフェイルレジスタの値が規定値に達したときに該当ビット線の数数を数え保持する第2のフェイルレジスタと、
前記第2のフェイルレジスタの値が規定値に達したときにフェイルフラグを立てビット外に信号を出力する第3の手段と
を更に具備することを特徴とする請求項1乃至3いずれか1つの項に記載の磁気ランダムアクセスメモリ。

【請求項 5】

通常動作における二軸書き込みよりも大きい電流を流した後に、複数ビット線に接続されたメモリセルを同時に期待値と比較を行う比較器と、
反転したビット数もしくは規格外の抵抗値をもつ各ビット線上のビット数を数え保持する同時測定を行うビット数と同じ数のフェイルレジスタと、
前記フェイルレジスタの値が規定値に達したときに該当ビット線の数数を数える第2のフェイルレジスタと、
前記第2のフェイルレジスタの値が規定値に達したときにフェイルフラグを立てビット外に信号を出す第3の手段と
を更に具備することを特徴とする請求項4に記載の磁気ランダムアクセスメモリ。

【請求項 6】

前記メモリセルは、1つのトランジスタと1つの磁気抵抗素子とからなることを特徴とする請求項1乃至5いずれか1つの項に記載の磁気ランダムアクセスメモリ。

【請求項7】

前記メモリセルは、磁気抵抗素子のみからなるクロスポイント型であることを特徴とする請求項1乃至5いずれか1つの項に記載の磁気ランダムアクセスメモリ。

【請求項8】

前記メモリセルは、1つのトランジスタと複数の磁気抵抗素子とからなる階層ビット線型であることを特徴とする請求項1乃至5いずれか1つの項に記載の磁気ランダムアクセスメモリ。

【請求項9】

磁気抵抗素子を備えたメモリセルへの書き込みを、書き込みビット線による容易軸方向の一軸書き込みにより行うステップと、

書き込みワード線に困難軸方向に一軸で、通常動作における二軸書き込みよりも大きい電流を流すステップと、

メモリセルの抵抗値を読み出すステップと

を具備することを特徴とする磁気ランダムアクセスメモリのテスト方法。

【請求項10】

前記書き込みビット線による一軸書き込みは、複数のメモリセルに対して同時に行うことを特徴とする請求項9に記載の磁気ランダムアクセスメモリのテスト方法。

【請求項11】

前記メモリセルの抵抗値を読み出すステップの後に、アステロイド特性のシフトしているビット数をカウントするステップを更に具備することを特徴とする請求項9または10に記載の磁気ランダムアクセスメモリのテスト方法。

【請求項12】

前記アステロイド特性のシフトしているビット数をカウントするステップの後に、カウント値が規定値に一致するか判定するステップを更に具備することを特徴とする請求項11に記載の磁気ランダムアクセスメモリのテスト方法。

【請求項13】

前記カウント値が規定値と一致した時に、テストを終了することを特徴とする請求項12に記載の磁気ランダムアクセスメモリのテスト方法。

【書類名】明細書

【発明の名称】磁気ランダムアクセスメモリ及びそのテスト方法

【技術分野】

【0001】

本発明は、トンネル磁気抵抗 (Tunneling Magneto Resistive) 効果を利用した不揮発メモリである磁気ランダムアクセスメモリ (MRAM: Magnetic Random Access Memory) 及びそのテスト方法に関するもので、特に組み込みテスト回路に関するものである。

【背景技術】

【0002】

磁気ランダムアクセスメモリ (MRAM) 等の半導体メモリにおいては、単体メモリ、混載メモリに関わらず、メモリセルとしての特性が一定の基準に達していない不良ビットを自動で判別して、不良チップを早い段階で判別することが可能な組み込みテスト回路を周辺回路として持つことは、量産時のテスト工程におけるテスト時間の短縮、つまり製造コストを低く抑えることが可能になるという点で非常に重要な意味を持つ。

【0003】

すでに特許文献1において、MRAMのメモリセルアレイ部におけるショート、オープンさらにメモリセルを構成しているMTJ (Magnetic Tunneling Junction) 素子の抵抗値が所定の上限值にあるか下限値にあるかを決定する抵抗仕様試験回路が提案されている。

【0004】

一方で、MTJ素子は、その書き込み特性においてネールカップリング (Neel Coupling) による“1”データ側へのシフト、さらにストレイフィールド (Stray Field) による“0”データ側へのシフトがあることが分かっている。

【0005】

つまり、たとえMTJ素子の抵抗値が所望の抵抗値を有していたとしても、各メモリセルを構成するMTJ素子の書き込み特性を考慮すると、それぞれのMTJ素子のアステロイド特性が容易軸方向のどちらかにシフトしていた場合には、半選択状態、つまり容易軸方向もしくは困難軸方向の一軸のみの電流で誤書き込みが起こる可能性がある。

【0006】

例えば、図18 (a) の様なアステロイド特性を示すメモリセル (MTJ素子) がメモリセルアレイの大多数を占める中で、図18 (b) の様なアステロイド特性を示すメモリセルが存在すると仮定する。通常のメモリセルへの書き込みは、 $+I_a$ と $+I_b$ の交点N1もしくは $-I_a$ と $+I_b$ の交点N2に電流磁場が発生するように、ビット線とワード線それぞれに書き込み電流を流す。この際、本来書き込みを行うビットと同一ワード線上に図18 (b) のアステロイド特性を有するビットが存在していると、このビットは“1”データが誤書き込みされてしまう。または、 I_{easy} の一軸で書き込んだ場合のスイッチング電流を $+I_c$ とした時に、本来の書き込むビットと同一ビット線上に「 $+I_c < +I_a$ 」となるビットが存在する場合には、“1”データが書き込まれてしまう。なお、ここで図18 (a), (b) における I_{easy} 、 I_{hard} はそれぞれ、メモリセルを構成するMTJ素子に対する容易軸、困難軸方向に電流磁場を発生する為に必要な電流を意味する。

【0007】

上述したように、二軸書き込みを行うMRAMにおいては、“0”データおよび“1”データを書き込む際のそれぞれの場合に必要な容易軸方向に磁場を発生する電流値が異なっていると、つまり、書き込み特性にシフトがあると、そのビットへのデータの書き込みができなかったり、半選択状態でのディスターブに弱いメモリセルになる可能性がある。ここで、ディスターブとは、2軸の電流磁場が印加されないメモリセルにおいてデータが変化してしまうことを意味する。このため、メモリとしての信頼性を向上させるためには、これらの書き込み特性にシフトがあるビットは不良ビットとして除外する必要がある。

【特許文献1】特開 2001-273799

【発明の開示】

【発明が解決しようとする課題】

【0008】

MRAMにおける不良ビットのカテゴリとしては、MTJ素子のショート、トンネル絶縁膜の不具合によるメモリセルの抵抗値の規格外れ、さらに書き込み時を考慮したときの書き込み特性の不具合などが考えられる。

【0009】

MTJ素子の抵抗値が規格外であるビットや書き込み特性にシフトがあるビットは、量産時に不良ビットとして判断されるべきであり、そのためにはメモリセルに例えばチェックパターンを書き込んで、“1”、“0”の判断をすれば良い。

【0010】

しかし、例えば書き込み時間だけ考慮しても、 $T_w \times 2m \times 2n$ の書き込み時間が必要になる。ここで、 T_w は1ビットあたりの書き込み時間、 m はカラムの数、 n はロウの数である。

【0011】

量産時のテスト工程を考えたときには、これらの不良ビットは早期に検出することが好ましく、さらに冗長セルによって置き換えが不可能な場合は不良チップとして除外することが必要になる。

【0012】

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、抵抗値が一定の値以外のビット、あるいはアステロイド特性にシフトがあるビットをより短いテスト時間で早い段階で検出することが可能であり、量産時の高スループット化と低コスト化に寄与できる磁気ランダムアクセスメモリ及びそのテスト方法を提供することにある。

【課題を解決するための手段】

【0013】

この発明の一態様によると、磁気抵抗素子がマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイの各行に配置された書き込みワード線と、前記メモリセルアレイの各列に配置された書き込みビット線と、前記書き込みワード線の両端にそれぞれ選択的に接続される第1のドライバ、この第1のドライバより駆動能力の高い第2のドライバ、及び第1のシンカーと、前記書き込みビット線の一端に接続された第3のドライバ、及びこの第3のドライバより駆動能力の高い第4のドライバと、前記書き込みビット線他端に接続された第2のシンカーと、前記第2のドライバにより複数のメモリセルの情報を容易軸方向の一軸書き込みにて一括で書き込む第1の手段と、前記第4のドライバにより複数のメモリセルへ困難軸方向の一軸書き込みにて同時に、通常動作における二軸書き込みよりも大きい電流を流す第2の手段とを具備する磁気ランダムアクセスメモリが提供される。

【0014】

また、この発明の別の態様によると、磁気抵抗素子を備えたメモリセルへの書き込みを、書き込みビット線による容易軸方向の一軸書き込みにより行うステップと、書き込みワード線に困難軸方向に一軸で、通常動作における二軸書き込みよりも大きい電流を流すステップと、メモリセルの抵抗値を読み出すステップとを具備する磁気ランダムアクセスメモリのテスト方法が提供される。

【0015】

上記のような構成並びに方法によれば、メモリセルへの書き込みを書き込みビット線による容易軸方向の一軸書き込みにより行い、書き込みワード線に困難軸方向の一軸で、通常動作における二軸書き込みよりも大きい電流（ディスターブ電流）を流し、抵抗値を読み出すことにより、短いテスト時間で書き込み特性にシフトがあるビットを検出することが可能になる。これによって、短いテスト時間でディスターブに弱いビットを検出するこ

とが可能になる。

【発明の効果】

【0016】

この発明によれば、抵抗値が一定の値以外のビット、あるいはアステロイド特性にシフトがあるビットをより短いテスト時間で早い段階で検出することが可能であり、量産時の高スループット化と低コスト化に寄与できる磁気ランダムアクセスメモリ及びそのテスト方法が得られる。

【発明を実施するための最良の形態】

【0017】

以下、この発明の実施形態について図面を参照して説明する。

【第1の実施形態】

図1は、本発明の第1の実施形態に係る磁気ランダムアクセスメモリ及びそのテスト方法について説明するためのもので、書き込み特性にシフトがあるメモリセルを検出する組み込みテスト回路を有するMRAMのブロック図である。このMRAMは、メモリセルアレイ (Memory cell array) 1、ロウデコーダ (Row decoder) 4-1, 4-2、第1のドライバ (driver1) 5、第2のドライバ (driver2) 6、シンカー (sinker) 7、第3のドライバ (driver3) 8-1, 8-2、第4のドライバ (driver4) 9-1, 9-2、シンカー (sinker) 10-1, 10-2、比較器 (comparator) 11、加算機能付きカラムアドレスレジスタ (Column Address Register with adder) 13、加算機能付きロウアドレスレジスタ (Row Address Register with adder) 14、第1の加算機能付きフェイルレジスタ (Fail register1 with counter) 15、第2の加算機能付きフェイルレジスタ (Fail register2 with counter) 16、シーケンサ19、書き込みデータレジスタ (IEDR) 20、マルチプレクス回路 (MUX) 22、マルチプレクス回路 (MUX) 23、クロック発生回路 (Clock Generator) 24、出力ドライバ25、モードセクタ26、アドレス入力レシーバ27、データ入力レシーバ28、及びカラムデコーダ (Column decoder) 31-1, 31-2等を含んで構成されている。

【0018】

このMRAMは、アドレス信号 (外部入力) 端子12、データ出力 (外部信号) 及びテストフラグ (外部信号) 端子17、制御信号 (外部入力) 端子18、データ入力 (外部信号) 端子21、電源端子29、接地端子30等を備えている。上記アドレス信号端子12には、アドレス信号ADD (address) が入力される。上記データ出力及びテストフラグ端子17から、データDO (Data Out) とテストフラグTF (Test Flag) が出力される。上記制御信号端子18には、制御信号CS (Control signals) が入力される。上記データ入力端子21には、入力データDI (Data In) が供給される。そして、上記電源端子29に電源POWERが供給され、接地端子30が接地点GNDに接続されている。

【0019】

上記メモリセルアレイ1は、MTJ素子で構成されるメモリセルMTJ1が列線2と行線3の交点にマトリックス状に配置されている。ここでは、メモリセルMTJ1への書き込み時に、列線2により容易軸方向に電流磁場を発生し、行線3により困難軸方向に磁場を発生するものとする。メモリセルMTJ1が形状磁気異方性を持っているとすると、MTJ素子の長手方向が行線3の方向になる。

【0020】

上記行線3は、メモリセルアレイ1の両側に配置されたロウデコーダ4-1, 4-2により選択される。この行線3は、書き込み時に、一端がロウデコーダ4-2を介して第1の電流源5もしくは第2の電流源6に接続され、他端はデコーダ4-1を介してシンカー7に接続されている。

【0021】

上記列線2は、カラムデコーダ31-1, 31-2により選択され、その両端において、書き込み時は第3の電流源8-1, 8-2、第4の電流源9-1, 9-2、シンカー10-1, 10-2のいずれかに接続される。なお、この列線2は、読み出し時にはカラム

デコーダ 31-2 を介して比較器 11 に接続され、読み出したデータが期待値と比較される。通常動作の書き込み時においては、第 1 の電流源 5 と第 3 の電流源 8-1, 8-2 を用いて、書き込むべきメモリセル MTJ 1 に対して合成磁場を発生させて書き込みを行う。第 2 の電流源 6 は第 1 の電流源 5 より駆動能力の高いトランジスタで構成され、第 4 の電流源 9-1, 9-2 はそれぞれ第 3 の電流源 8-1, 8-2 より駆動能力の高いトランジスタで構成される。そして、上記第 4 の電流源 9-1, 9-2 は、容易軸方向の電流磁場のみで書き込みが行える駆動能力を備えている。

【0022】

上記カラムデコーダ 31-1, 31-2 とロウデコーダ 4-1, 4-2 は、通常動作時にはチップ外部から与えられるアドレス信号 ADD に応じて信号を受け取るが、テスト実行時には加算機能を有するカラムアドレスレジスタ 13 及びロウアドレスレジスタ 14 からマルチプレクス回路 22 にて選択されたアドレス信号を受け取ることになる。

【0023】

また、上記フェイルレジスタ 15 は、各列線 2 上の不良ビット数をカウントアップおよび保持する。上記フェイルレジスタ 16 は、規定以上の不良ビット数を有する列数をカウントアップおよび保持するようになっており、このフェイルレジスタ 16 の値が規定以上の数に達するとフェイルフラグ TF を立て、チップの外部に伝える。

【0024】

上記モードセクタ 26 は、外部からの制御信号 CS を受けて動作モードを選択するので、テストイネーブル信号 TESTEN のレベルに応じて、通常のメモリ動作かテスト動作かを切り替える。

【0025】

図 2 (a), (b), (c) はそれぞれ、上記図 1 に示した MRAM におけるメモリセル MTJ 1 の構成例を示す回路図である。(a) 図は、メモリセルが磁気抵抗素子 (MTJ) 127 とメモリセル選択トランジスタ 128 とで形成される例を示している。上記磁気抵抗素子 127 の一端はビット線 129 に接続され、他端は選択トランジスタ 128 の電流通路の一端に接続される。上記磁気抵抗素子 127 に隣接して、上記ビット線 129 と直交する方向に書き込みワード線 130 が配置されている。上記選択トランジスタ 128 の電流通路の他端はソース線 132 に接続され、ゲートは読み出しワード線 131 に接続される。上記ソース線 132 と読み出しワード線 131 は、書き込みワード線 130 と平行な方向、すなわちビット線 129 と直交する方向に配置される。

【0026】

(b) 図は、メモリセルが磁気抵抗素子 (MTJ) 133 のみで形成される、いわゆるクロスポイント型と呼ばれるものである。磁気抵抗素子 133 の一端はビット線 134 に接続され、他端はワード線 135 に接続される。上記ビット線 134 とワード線 135 は、直交する方向に配置されている。

【0027】

(c) 図は、階層ビット線型と呼ばれるもので、メモリセルが複数 (この例では 4 個) の磁気抵抗素子 (MTJ) 136 と選択トランジスタ (ストリングスイッチ) 137 とで形成されている。上記各磁気抵抗素子 136 の一端は異なる読み出しワード線 (書き込みビット線) 138 にそれぞれ接続され、他端は選択トランジスタ 137 の電流通路の一端に共通接続される。上記磁気抵抗素子 136 に隣接して、上記読み出しワード線 (書き込みビット線) 138 と直交する方向に、書き込みワード線 141 が設けられている。上記選択トランジスタ 137 の電流通路の他端はメインビット線 140 に接続され、ゲートはストリング線 139 に接続される。上記メインビット線 140 は、読み出しワード線 (書き込みビット線) 138 と直交する方向に配置され、ストリング線 139 は平行な方向に配置される。

【0028】

図 3 は、上記図 1 に示した MRAM における加算機能付きのロウアドレスレジスタ 14 及び加算機能付きのカラムアドレスレジスタ 13 の具体的な回路構成例を示している。こ

これらのアドレスレジスタ 14, 13 は基本的には同様な回路構成であり、それぞれ排他的 OR 回路 40-1 ~ 40-4、AND 回路 41-1 ~ 41-4、及びレジスタ回路 (register) 42-1 ~ 42-4 等から構成されている。初段の排他的 OR 回路 40-1 及び AND 回路 41-1 の一方の入力端には、入力端子 45 から入力信号 Din が入力される。上記初段の排他的 OR 回路 40-1 及び AND 回路 41-1 の他方の入力端には、レジスタ回路 42-1 の出力端及び出力端子 46-1 が接続されている。このレジスタ回路 42-1 の入力端には上記排他的 OR 回路 40-1 の出力端が接続されている。レジスタ回路 42-1 は、クロック端子 43 に供給されるクロック信号 CLK に応答して動作し、リセット端子 44 に供給されるリセット信号 RS によってリセットされる。

【0029】

2 段目の排他的 OR 回路 40-2 及び AND 回路 41-2 の一方の入力端には、AND 回路 41-1 の出力信号が供給される。上記排他的 OR 回路 40-2 及び AND 回路 41-2 の他方の入力端には、レジスタ回路 42-2 の出力端及び出力端子 46-2 が接続されている。このレジスタ回路 42-2 の入力端には上記排他的 OR 回路 40-2 の出力端が接続される。レジスタ回路 42-2 は、上記クロック端子 43 に供給されるクロック信号 CLK に応答して動作し、上記リセット端子 44 に供給されるリセット信号 RS によってリセットされる。

【0030】

3 段目の排他的 OR 回路 40-3 及び AND 回路 41-3 の一方の入力端には、AND 回路 41-2 の出力信号が供給される。上記排他的 OR 回路 40-3 及び AND 回路 41-3 の他方の入力端には、レジスタ回路 42-3 の出力端及び出力端子 46-3 が接続されている。このレジスタ回路 42-3 の入力端には上記排他的 OR 回路 40-3 の出力端が接続される。レジスタ回路 42-3 は、上記クロック端子 43 に供給されるクロック信号 CLK に応答して動作し、上記リセット端子 44 に供給されるリセット信号 RS によってリセットされる。

【0031】

更に、最終段の排他的 OR 回路 40-4 及び AND 回路 41-4 の一方の入力端には、AND 回路 41-3 の出力信号が供給される。上記排他的 OR 回路 40-4 及び AND 回路 41-4 の他方の入力端には、レジスタ回路 42-4 の出力端及び出力端子 46-4 が接続されている。このレジスタ回路 42-4 の入力端には上記排他的 OR 回路 40-4 の出力端が接続される。レジスタ回路 42-4 は、上記クロック端子 43 に供給されるクロック信号 CLK に応答して動作し、上記リセット端子 44 に供給されるリセット信号 RS によってリセットされる。

【0032】

これらの加算機能付きのアドレスレジスタ 14, 13 はそれぞれ、上記排他的 OR 回路 40-1 ~ 40-4 及び AND 回路 41-1 ~ 41-4 で加算を行い、レジスタ回路 42-1 ~ 42-4 に各レベルでの値を保持する。そして、上記出力端子 46-1 ~ 46-4 から出力信号 out1 ~ out4 を出力し、キャリー端子 47 からキャリーアウト (桁上げ) 信号 Carry out を出力するようになっている。

【0033】

なお、上記図 3 に示した回路構成は、加算機能付きフェイルレジスタ 15, 16 にも適用可能である。

【0034】

図 4 は、上記図 3 に示した回路におけるレジスタ回路 42-1 ~ 42-4 の具体的な構成例を示している。この回路は、インバータ回路 48-1, 48-2 及び NMOS トランジスタ 49-1 ~ 49-3 を含んで構成されている。インバータ回路 48-1 の入力端はインバータ回路 48-2 の出力端に接続され、インバータ回路 48-1 の出力端はインバータ回路 48-2 の入力端に接続される。入力端 50 とインバータ回路 48-1 の入力端間には、NMOS トランジスタ 49-1 の電流通路が接続され、出力端 51 とインバータ回路 48-2 の入力端間には、NMOS トランジスタ 49-2 の電流通路が接続される。

これらNMOSトランジスタ49-1, 49-2のゲートはクロック入力端43に接続され、クロック信号CLKが供給される。また、上記インバータ回路48-2の入力端と接地点間には、NMOSトランジスタ49-3の電流通路が接続され、そのゲートはリセット入力端43に接続されてリセット信号RSが供給される。

【0035】

そして、入力端50に供給されたデータinをクロック信号CLKに応答してラッチし、クロック信号CLKに応答して出力端51から出力信号outとして出力するようになっている。リセット信号RSが入力されたときには、NMOSトランジスタ49-3がオンしてラッチしたデータがリセットされる。

【0036】

図5は、上記図1乃至図4に示したMRAMにおけるテスト回路の動作を示すフローチャートである。まず、制御信号CSにより、モードセクタ26から出力される信号TESTENを“1”レベルに設定してテストモードにする。

【0037】

続いて、書き込みデータレジスタ20に“0”をセット(STEP1)、フェイルカウンタ15, 16をリセット(STEP2)、もしくはカラムアドレスレジスタ13をリセット(STEP3)する。引き続き、第4のドライバ9-1とシンカー10-2及び第4のドライバ9-2とシンカー10-1に電流を流してカラムアドレス1上のすべてのビットに“0”を書き込む。続いて、カラムアドレスレジスタ13の値をインクリメントしながらすべてのメモリアレイに“0”を書き込む(STEP4)。なお、通常動作時は入力データDIをもとに、メモリセルに書き込むデータをマルチプレクス回路23にて選択させる。

【0038】

書き込みが終了すると、ロウアドレスレジスタ14をリセットし、第4のドライバ6とシンカー7を用いて行線3に電流を流して、ロウアドレス1上のすべてのビットに困難軸方向に磁場を発生させる。この時、アステロイド特性が図18(a)のようなビットは変化しないが、図18(b)のようにアステロイド特性が“0”側にシフトがあるビットはデータが“1”に変化する。ロウアドレスをインクリメントしながら、すべてのロウに適応する(STEP5)。

【0039】

図6は、上述した列線2と行線3に電流を流す例を模式的に示している。この例では、まず、列線2(カラムアドレス1からカラムアドレス2^m)を順次選択して2^m回の容易軸方向の一軸書き込みにて“1”/“0”データをセットする。次に、行線3(ロウアドレス1からロウアドレス2ⁿ)を設定し、困難軸方向の一軸書き込みにて順次ディスターブ電流を流す。

【0040】

続いて、次の手順でメモリセルからの読み出しおよびデータ比較を行う。最初にカラムアドレスレジスタ13とロウアドレスレジスタ14を共にリセットし(STEP6, 7)、カラムアドレスを固定してロウアドレスをインクリメントしながらデータが“0”のままかどうか比較を行い(STEP8)、“1”に変化している場合はビット数毎にフェイルカウンタ15に加算して行く(STEP9)。フェイルカウンタ15の値が規定値Aに一致すればさらにフェイルカウンタ16に加算して行く(STEP10)。つまり規定値Aにフェイルビット数が一致したカラム数がフェイルカウンタ16に保存されることになる。

【0041】

さらにフェイルカウンタ16の値が規定値Bに達したときには、出力ドライバ25でフェイルフラグを立て、該当チップを不良チップとして判断する(STEP11)。

【0042】

上記規定値A及び規定値Bはそれぞれ、冗長行数、列数を考慮して値を決定しておく。

【0043】

引き続き、書き込みデータレジスタ 20 を“1”にして同様の手順を繰り返す (STEP 12)。これによって、書き込み特性が“1”側にシフトしているビットを抽出することができる。

【0044】

このようにテスト回路を動作させることにより、抵抗値が規定値以外のビットに加えて、書き込み特性にシフトがあるビットを容易に且つ短時間で抽出でき、不良チップを早期に発見することが可能になる。

【0045】

なお、メモリセルの容易軸方向と困難軸方向が入れ替わる場合は、上記行線、列線、デコーダ、各ドライバ、及びシンカーを入れ替えることで対応できるのは明白である。

【0046】

[第2の実施形態]

図7は、本発明の第2の実施形態に係る磁気ランダムアクセスメモリ及びそのテスト方法について説明するためのもので、書き込み特性にシフトがあるメモリセルを検出する組み込みテスト回路を有するMRAMのブロック図である。ロウデコーダ32-1, 32-2とカラムデコーダ33-1, 33-2以外は第1の実施形態と同じであるので、同一部分に同じ符号を付してその詳細な説明は省略する。

【0047】

すなわち、上記ロウデコーダ32-1, 32-2とカラムデコーダ33-1, 33-2は、複数のカラムもしくはロウアドレスを同時に選択し、複数のメモリセルMTJを同時選択できるように構成されている。

【0048】

図8は、本実施形態におけるロウデコーダ32-1, 32-2またはカラムデコーダ33-1, 33-2の具体的な構成例を示している。この回路は、NAND回路60-1~60-8、インバータ回路61~63、PMOSトランジスタ64, 65、NMOSトランジスタ66, 67、及びトランスファゲート68等を含んで構成されている。最下位のアドレス信号A0は、インバータ回路61に供給され、その反転信号A0Bが生成される。最下位から2番目のアドレス信号A1は、インバータ回路62に供給され、その反転信号A1Bが生成される。最下位から3番目のアドレス信号A2は、信号TESTENWが“0”レベルの時には、PMOSトランジスタ64とNMOSトランジスタ67がオンし、トランスファゲート68が閉じるので、PMOSトランジスタ65とNMOSトランジスタ66からなるインバータ回路に供給され、その反転信号A2Bが生成される。

【0049】

一方、信号TESTENWが“1”レベルになると、PMOSトランジスタ64とNMOSトランジスタ67がオフし、トランスファゲート68が開くので、アドレスA2がA2=A2Bとなる。

【0050】

上記アドレスA0~A2, A0B~A2Bは、NAND回路60-1~60-8に選択的に供給される。そして、これらのNAND回路60-1~60-8から列線2または行線3の駆動信号が出力される。

【0051】

この際、信号TESTENWが“0”レベルの時には通常のコード動作を行うが、信号TESTENWが“1”レベルの時にはA2=A2Bとなるので、一番離れた組み合わせである2つのカラムもしくはロウアドレスが同時に選択される。

【0052】

このように、カラムもしくはロウによる一軸書き込み動作時のみに信号TESTENWが“1”レベルになるような回路(信号TESTENWの生成回路)を設けることにより、第1の実施形態の場合に比べて書き込み時間を半分にすることができる。なぜなら、カラムアドレスレジスタ13にてインクリメントする回数は、カラムの数を2mとすると、通常は $2^m - 1$ 回必要になるのに対し、「 $2^{(m-1)} - 1$ 」回で済むことになるからで

ある。

【0053】

読み出し動作に関しては第1の実施形態の場合と同様である。

【0054】

なお、同時に選ばれるカラムもしくはロウアドレスの数は2つに限らず、より多い数でも良い。しかし、同時に選択するアドレス数を増加させると書き込み電流が増大するので、低電流化が望まれる場合にはあまり多くできない。よって、同時に選択するアドレスの数は要求される消費電流特性に応じて設定すれば良い。

【0055】

〔第3の実施形態〕

図9は、本発明の第3の実施形態に係る磁気ランダムアクセスメモリ及びそのテスト方法について説明するためのもので、書き込み特性にシフトがあるメモリセルを検出する組み込みテスト回路を有するMRAMのブロック図である。本実施形態はメモリセルが1トランジスタ、1MTJからなる構成、もしくは階層ビット線構成のクロスポイント型であり、同時に複数のビットの読み出しが可能な構成とする。

【0056】

書き込みに関しては第1、第2の実施形態と同様であり、読み出しに関しての構成が異なっている。

【0057】

この図9に示す回路は、同時に2ビットのメモリセルからの読み出しを行える構成を備えている。すなわち、それぞれのカラムにおけるビット数をカウントする第1の加算機能付きフェイルレジスタ (Fail register1 with counter) 15と第3の加算機能付きフェイルレジスタ (Fail register3 with counter) 34を備えており、読み出しに要する時間を第1、第2の実施形態の場合に比べて短縮することが可能になる。また、これらのフェイルレジスタ15、34に対応する第1の比較器 (comp1) 35と第2の比較器 (comp2) 36を備えており、フェイルレジスタ15、34の出力がAND回路37を介してアドレスレジスタ13、14に供給されるようになっている。

【0058】

図10は、本実施形態におけるセンスアンプの配置例を示している。図示するようにセンスアンプ (SA) 38-1～38-5は、隣接する2つの列線3に対応して設けられている。

【0059】

このような構成であっても、上記第1、第2の実施形態と同様な作用効果が得られる。

【0060】

上記第1乃至第3の実施形態に係るMRAMによれば、下記(a)～(f)に示すような効果が得られる。

【0061】

(a) メモリセルへの書き込みを書き込みビット線による一軸書き込みにより行いさらに書き込みワード線に一軸でディスターブ電流を流し、抵抗値を読み出すことにより、短いテスト時間で書き込み特性にシフトがあるビットを検出することが可能になる。このことにより短いテスト時間で、ディスターブに弱いビットを検出することが可能になる。

【0062】

(b) カラムアドレスおよびロウアドレス用の加算機能を備えたレジスタをチップに搭載することにより、自動でアドレスを発生してテストを行うことが可能になる。

【0063】

(c) 同時に書き込むビット線の数とディスターブを同時に印加できるワード線の数複数にすることにより、テスト時間をさらに短縮することが可能になる。

【0064】

(d) フェイルレジスタを2つ用意することにより冗長セルによっても救済できない場合のチップを早い段階で検出することが可能になる。

【0065】

(e) メモリセルからの読み出しを複数同時に行い、それぞれのビット線にフェイルレジスタを用意することにより、テスト時間における読み出しにかかる時間を短縮できる。

(f) メモリセルは、「1トランジスタ+1磁気抵抗素子」、「磁気抵抗素子のみからなるクロスポイント型」、「1トランジスタ+複数の磁気抵抗素子からなる階層ビット線型」など種々の構造に適用できる。

【0066】

なお、上述した本発明の第1乃至第3の実施形態に係る磁気ランダムアクセスメモリは、様々な装置に適用が可能である。これらの適用例のいくつかを図11乃至図17に示す。

【0067】

(適用例1)

図11はデジタル加入者線(DSL)用モデムのDSLデータパス部分を抽出して示している。このモデムは、プログラマブルデジタルシグナルプロセッサ(DSP: Digital Signal Processor)100、アナログ-デジタル(A/D)コンバータ110、デジタル-アナログ(D/A)コンバータ120、送信ドライバ150、及び受信機増幅器160などを含んでいる。図11では、バンドパスフィルタを省略しており、その代わりに回線コードプログラム(DSPで実行される、コード化された加入者回線情報、伝送条件等(回線コード; QAM、CAP、RSK、FM、AM、PAM、DWT等))に応じてモデムを選択、動作させるためのプログラム)を保持するための種々のタイプのオプションのメモリとして、本実施形態の磁気ランダムアクセスメモリ170とEEPROM180を示している。

【0068】

なお、本適用例では、回線コードプログラムを保持するためのメモリとして磁気ランダムアクセスメモリ170とEEPROM180との2種類のメモリを用いているが、EEPROM180を磁気ランダムアクセスメモリに置き換えても良い。すなわち、2種類のメモリを用いず、磁気ランダムアクセスメモリのみを用いるように構成しても良い。

【0069】

(適用例2)

図12は、別の適用例として、携帯電話端末300を示している。通信機能を実現する通信部200は、送受信アンテナ201、アンテナ共用器202、受信部203、ベースバンド処理部204、音声コーデックとして用いられるDSP205、スピーカ(受話器)206、マイクロホン(送話器)207、送信部208、及び周波数シンセサイザ209等を備えている。

【0070】

また、この携帯電話端末300には、当該携帯電話端末の各部を制御する制御部220が設けられている。制御部220は、CPU221、ROM222、本実施形態の磁気ランダムアクセスメモリ(MRAM)223、及びフラッシュメモリ224がCPUバス225を介して接続されて形成されたマイクロコンピュータである。上記ROM222には、CPU221において実行されるプログラムや表示用のフォント等の必要となるデータが予め記憶されている。MRAM223は、主に作業領域として用いられるものであり、CPU221がプログラムの実行中において計算途中のデータなどを必要に応じて記憶したり、制御部220と各部との間でやり取りするデータを一時記憶したりする場合などに用いられる。また、フラッシュメモリ224は、携帯電話端末300の電源がオフされても、例えば直前の設定条件などを記憶しておき、次の電源オン時に同じ設定にするような使用方法をする場合に、それらの設定パラメータを記憶しておくものである。これによって、携帯電話端末の電源がオフにされても、記憶されている設定パラメータを消失してしまうことがない。

【0071】

更に、この携帯電話端末300には、オーディオ再生処理部211、外部出力端子212、LCDコントローラ213、表示用のLCD（液晶ディスプレイ）214、及び呼び出し音を発生するリング215等が設けられている。上記オーディオ再生処理部211は、携帯電話端末300に輸入されたオーディオ情報（あるいは後述する外部メモリ240に記憶されたオーディオ情報）を再生する。再生されたオーディオ情報は、外部出力端子212を介してヘッドフォンや携帯型スピーカ等に伝えることにより、外部に取り出すことが可能である。このように、オーディオ再生処理部211を設けることにより、オーディオ情報の再生が可能となる。上記LCDコントローラ213は、例えば上記CPU221からの表示情報をCPUバス225を介して受け取り、LCD214を制御するためのLCD制御情報に変換し、LCD214を駆動して表示を行わせる。

【0072】

上記携帯電話端末300には、インターフェース回路（I/F）231、233、235、外部メモリ240、外部メモリスロット232、キー操作部234、及び外部入出力端子236等が設けられている。上記外部メモリスロット232にはメモリカード等の外部メモリ240が挿入される。この外部メモリスロット232は、インターフェース回路（I/F）231を介してCPUバス225に接続される。このように、携帯電話端末300にスロット232を設けることにより、携帯電話端末300の内部の情報を外部メモリ240に書き込んだり、あるいは外部メモリ240に記憶された情報（例えばオーディオ情報）を携帯電話端末300に輸入したりすることが可能となる。上記キー操作部234は、インターフェース回路（I/F）233を介してCPUバス225に接続される。キー操作部234から輸入されたキー入力情報は、例えばCPU221に伝えられる。上記外部入出力端子236は、インターフェース回路（I/F）233を介してCPUバス225に接続され、携帯電話端末300に外部から種々の情報を輸入したり、あるいは携帯電話端末300から外部へ情報を出力したりする際の端子として機能する。

【0073】

なお、本適用例では、ROM222、MRAM223及びフラッシュメモリ224を用いているが、フラッシュメモリ224を磁気ランダムアクセスメモリに置き換えても良いし、更にROM222も磁気ランダムアクセスメモリに置き換えることも可能である。

【0074】

（適用例3）

図13乃至図17はそれぞれ、磁気ランダムアクセスメモリをスマートメディア等のメディアコンテンツを収納するカード（MRAMカード）に適用した例を示す。

【0075】

MRAMカード本体400には、MRAMチップ401が内蔵されている。このカード本体400には、MRAMチップ401に対応する位置に開口部402が形成され、MRAMチップ401が露出されている。この開口部402にはシャッター403が設けられており、当該MRAMカードの携帯時にMRAMチップ401がシャッター403で保護されるようになっている。このシャッター403は、外部磁場を遮蔽する効果のある材料、例えばセラミックからなっている。データを転写する場合には、シャッター403を開放してMRAMチップ401を露出させて行う。外部端子404はMRAMカードに記憶されたコンテンツデータを外部に取り出すためのものである。

【0076】

図14及び図15はそれぞれ、上記MRAMカードにデータを転写するための転写装置を示している。図14はカード挿入型の転写装置の上面図、図15はその断面図である。エンドユーザの使用する第2MRAMカード450を、矢印で示すように転写装置500の挿入部510より挿入し、ストッパ520で止まるまで押し込む。このストッパ520は第1MRAM550と第2MRAMカード450を位置合わせするための部材としても働く。第2MRAMカード450が所定位置に配置されると、第1MRAMデータ書き換え制御部から外部端子530に制御信号が供給され、第1MRAM550に記憶されたデータが第2MRAMカード450に転写される。

【0077】

図16には、はめ込み型の転写装置を示す。この転写装置は、矢印で示すように、ストップ520を目標に、第1MRAM550上に第2MRAMカード450をはめ込みように載置するタイプである。転写方法についてはカード挿入型と同一であるので、説明を省略する。

【0078】

図17には、スライド型の転写装置を示す。この転写装置は、CD-ROMドライブやDVDドライブと同様に、転写装置500に受け皿スライド560が設けられており、この受け皿スライド560が矢印で示すように移動する。受け皿スライド560が破線的位置に移動したときに第2MRAMカード450を受け皿スライド560に載置し、第2MRAMカード450を転写装置500の内部へ搬送する。ストップ520に第2MRAMカード450の先端部が当接するように搬送される点、および転写方法についてはカード挿入型と同一であるので、説明を省略する。

【0079】

なお、上記各実施形態では、半導体集積回路装置として磁気ランダムアクセスメモリを例に取って説明したが、磁気ランダムアクセスメモリとロジック回路とを混載した半導体集積回路装置や、1チップ中にシステムを搭載するSOCと呼ばれる半導体集積回路装置にも適用できるのは勿論である。

【0080】

以上第1乃至第3の実施形態と適用例1乃至3を用いてこの発明の説明を行ったが、この発明は上記各実施形態や適用例に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施形態や適用例には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施形態や適用例に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【図面の簡単な説明】

【0081】

【図1】本発明の第1の実施形態に係る磁気ランダムアクセスメモリ及びそのテスト方法について説明するためのもので、書き込み特性にシフトがあるメモリセルを検出する組み込みテスト回路を有するMRAMのブロック図。

【図2】(a)図、(b)図、(c)図はそれぞれ、上記図1に示したMRAMにおけるメモリセルの構成例を示す回路図。

【図3】図1に示したMRAMにおける加算機能付きのロウアドレスレジスタ及び加算機能付きのカラムアドレスレジスタの具体的な回路構成例を示す図。

【図4】図3に示した回路におけるレジスタ回路の具体的な構成例を示す図。

【図5】図1乃至図4に示したMRAMにおけるテスト回路の動作を示すフローチャート。

【図6】STEP4を実行する際の列線、行線に電流を流す例を示す図。

【図7】本発明の第2の実施形態に係る磁気ランダムアクセスメモリについて説明するためのもので、書き込み特性にシフトがあるメモリセルを検出する組み込みテスト回路を有するMRAMのブロック図。

【図8】本第2の実施形態におけるデコーダ回路の具体的な構成例を示す図。

【図9】本発明の第3の実施形態に係る磁気ランダムアクセスメモリ及びそのテスト方法について説明するためのもので、書き込み特性にシフトがあるメモリセルを検出する組み込みテスト回路を有するMRAMのブロック図。

【図10】本第3の実施形態におけるセンスアンプの配置例を示す図。

【図11】本発明の第1乃至第3の実施形態に係るMRAMの適用例1について説明するためのもので、デジタル加入者線(DSL)用モデムのDSLデータパス部分を

示すブロック図。

【図12】本発明の第1乃至第3の実施形態に係るMRAMの適用例2について説明するためのもので、携帯電話端末を示すブロック図。

【図13】本発明の第1乃至第3の実施形態に係るMRAMの適用例3について説明するためのもので、MRAMをスマートメディア等のメディアコンテンツを収納するカード(MRAMカード)に適用した例を示す上面図。

【図14】MRAMカードにデータを転写するための転写装置を示す平面図。

【図15】MRAMカードにデータを転写するための転写装置を示す断面図。

【図16】MRAMカードにデータを転写するための、はめ込み型の転写装置を示す断面図。

【図17】MRAMカードにデータを転写するための、スライド型の転写装置を示す断面図。

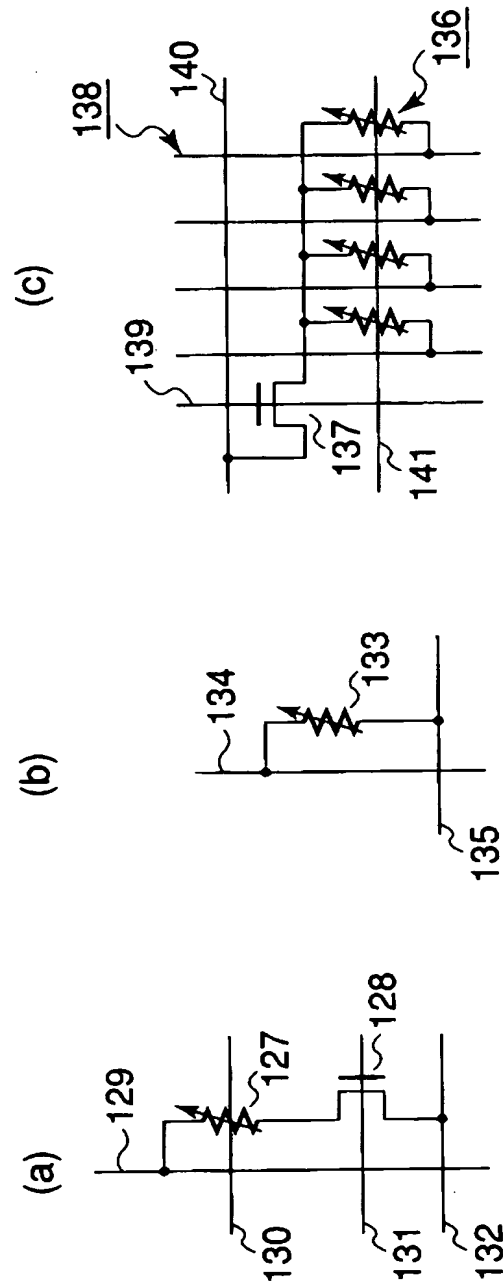
【図18】(a)図はMRAMにおけるアステロイド特性を示す図、(b)図はシフトしたアステロイド特性を示す図。

【符号の説明】

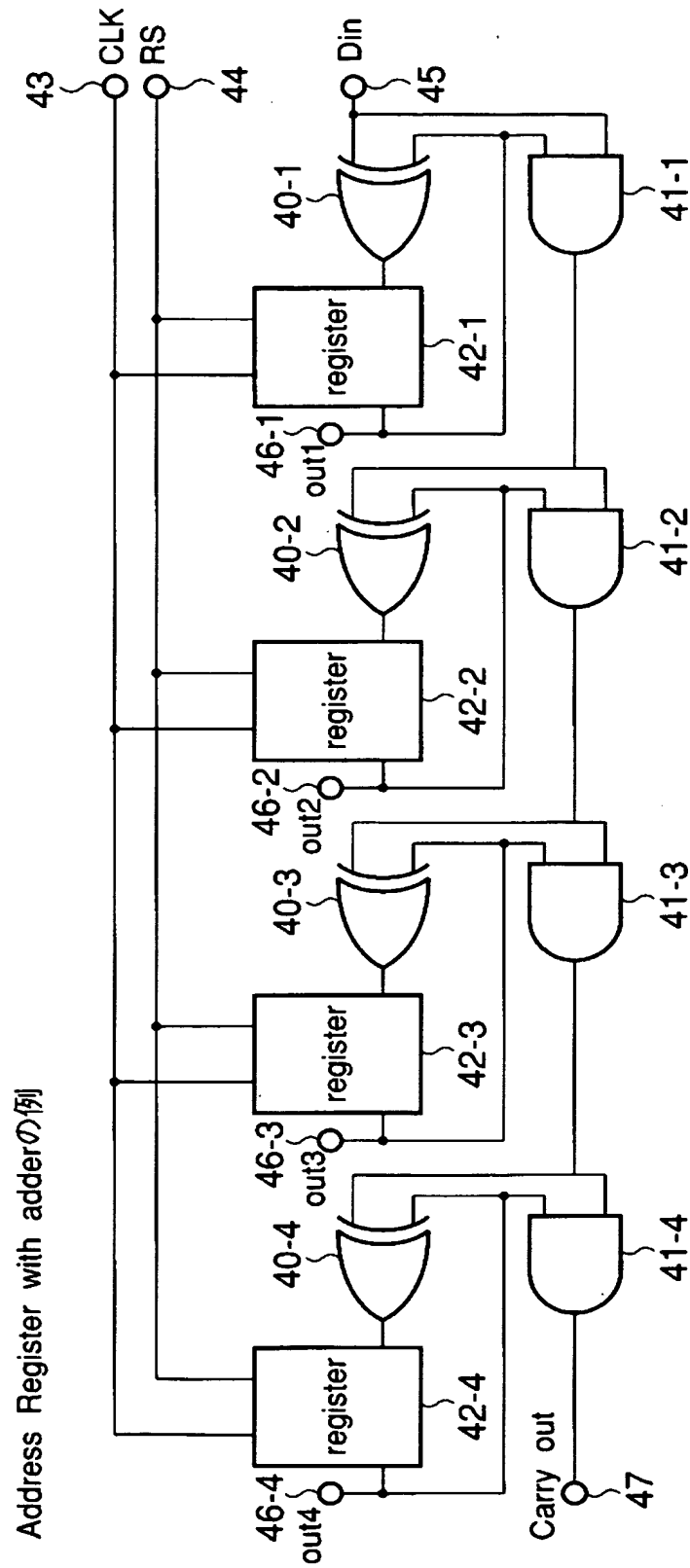
【0082】

MTJ, MTJ1…メモリセル(磁気抵抗素子)、1…メモリセルアレイ、4-1, 4-2, 32-1, 32-2…ロウデコーダ、5…第1のドライバ、6…第2のドライバ、7…シンカー、8-1, 8-2…第3のドライバ、9-1, 9-2…第4のドライバ、10-1, 10-2…シンカー、11, 35, 36…比較器、13…加算機能付きカラムアドレスレジスタ、14…加算機能付きロウアドレスレジスタ、15…第1の加算機能付きフェイルレジスタ、16…第2の加算機能付きフェイルレジスタ、19…シーケンサ、20…書き込みデータレジスタ、22, 23…マルチプレクス回路、24…クロック発生回路、25…出力ドライバ、26…モードセクタ、27…アドレス入力レシーバ、28…データ入力レシーバ、31-1, 31-2, 33-1, 33-2…カラムデコーダ、34…第3加算機能付きフェイルレジスタ、38-1~38-5…センスアンプ。

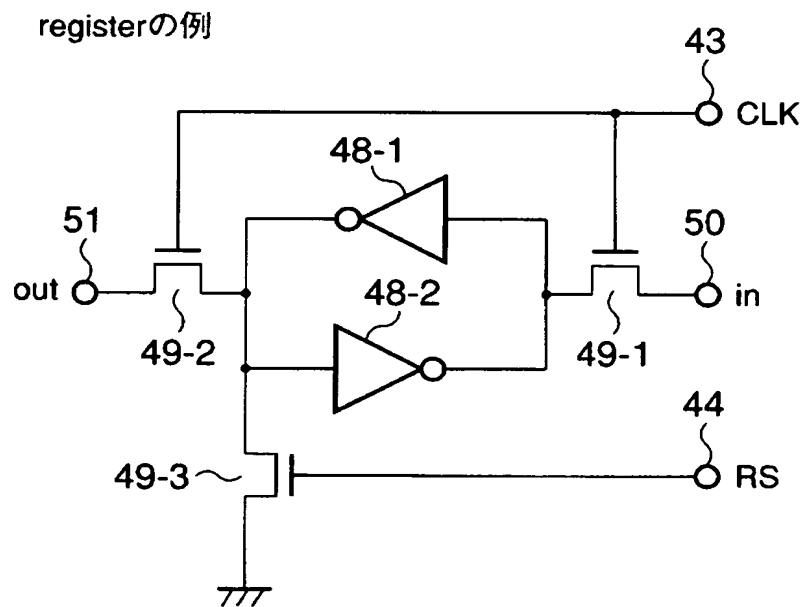
【図 2】



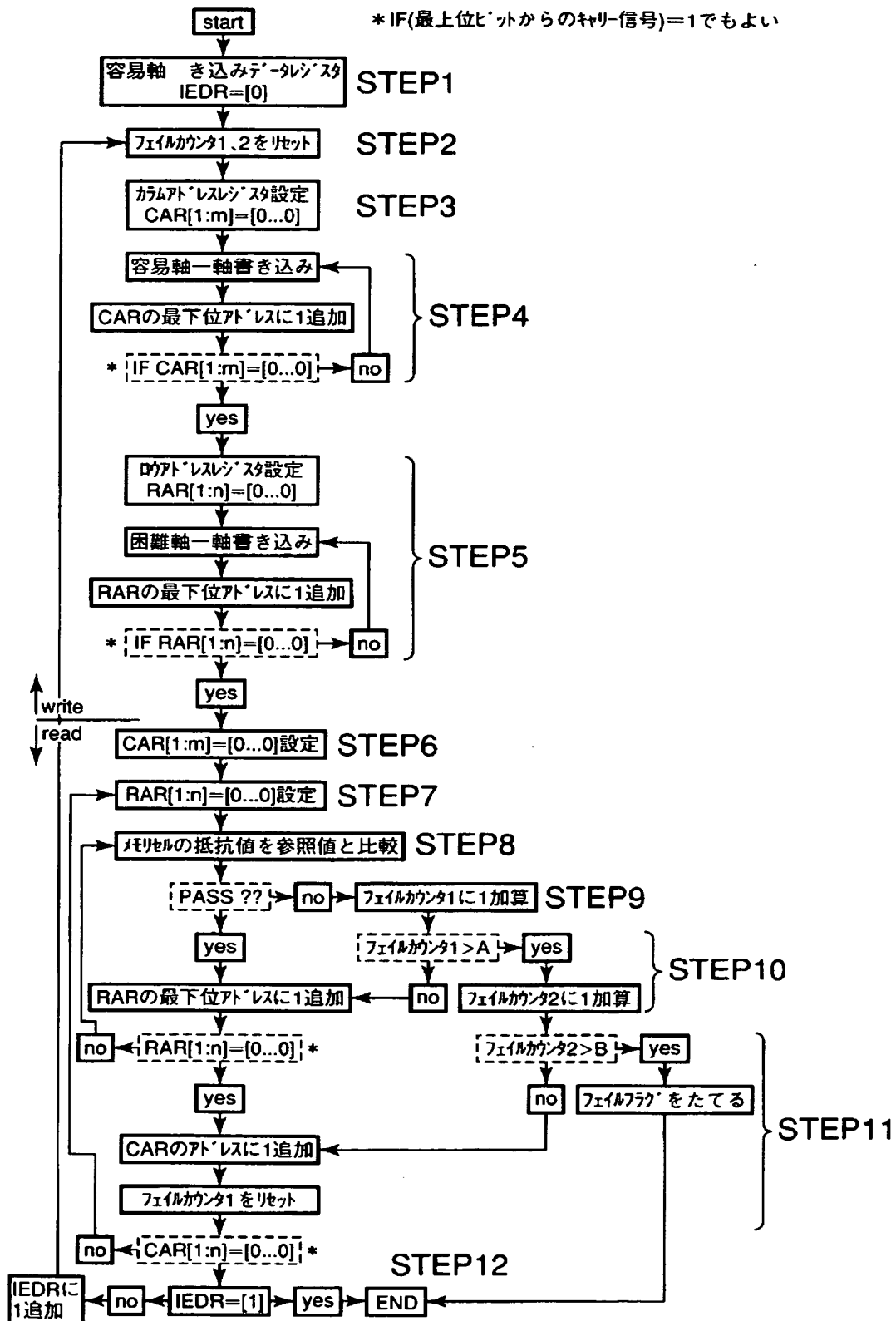
【図 3】



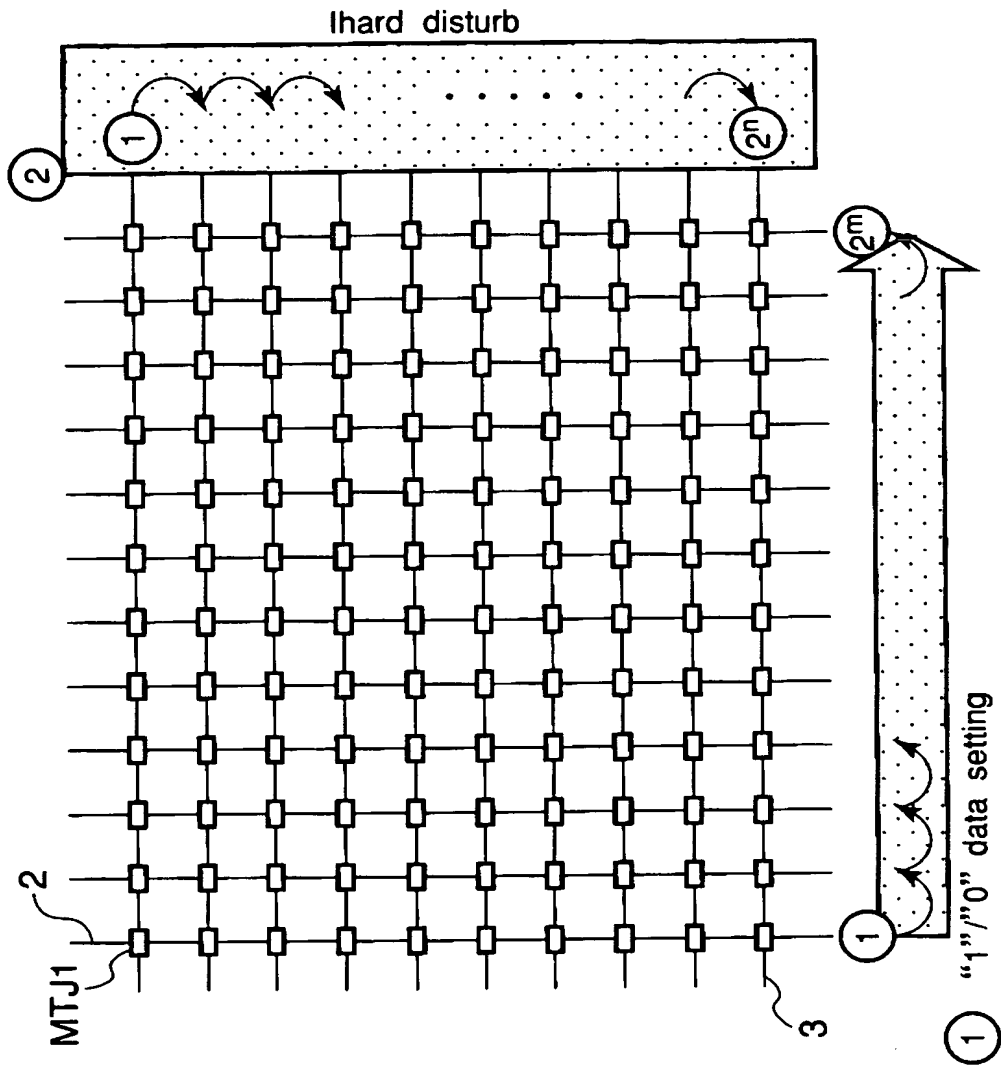
【図 4】



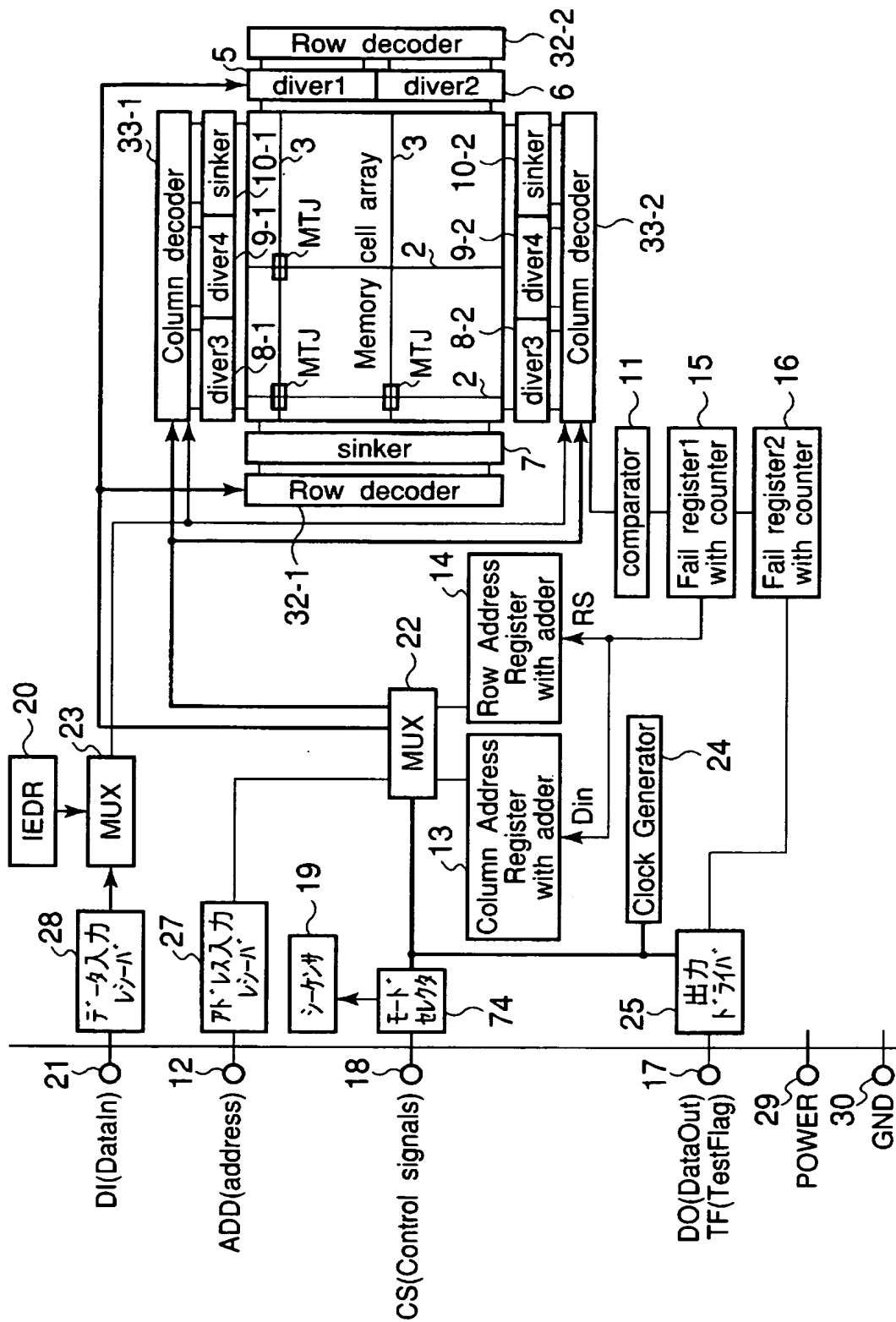
【圖 5】



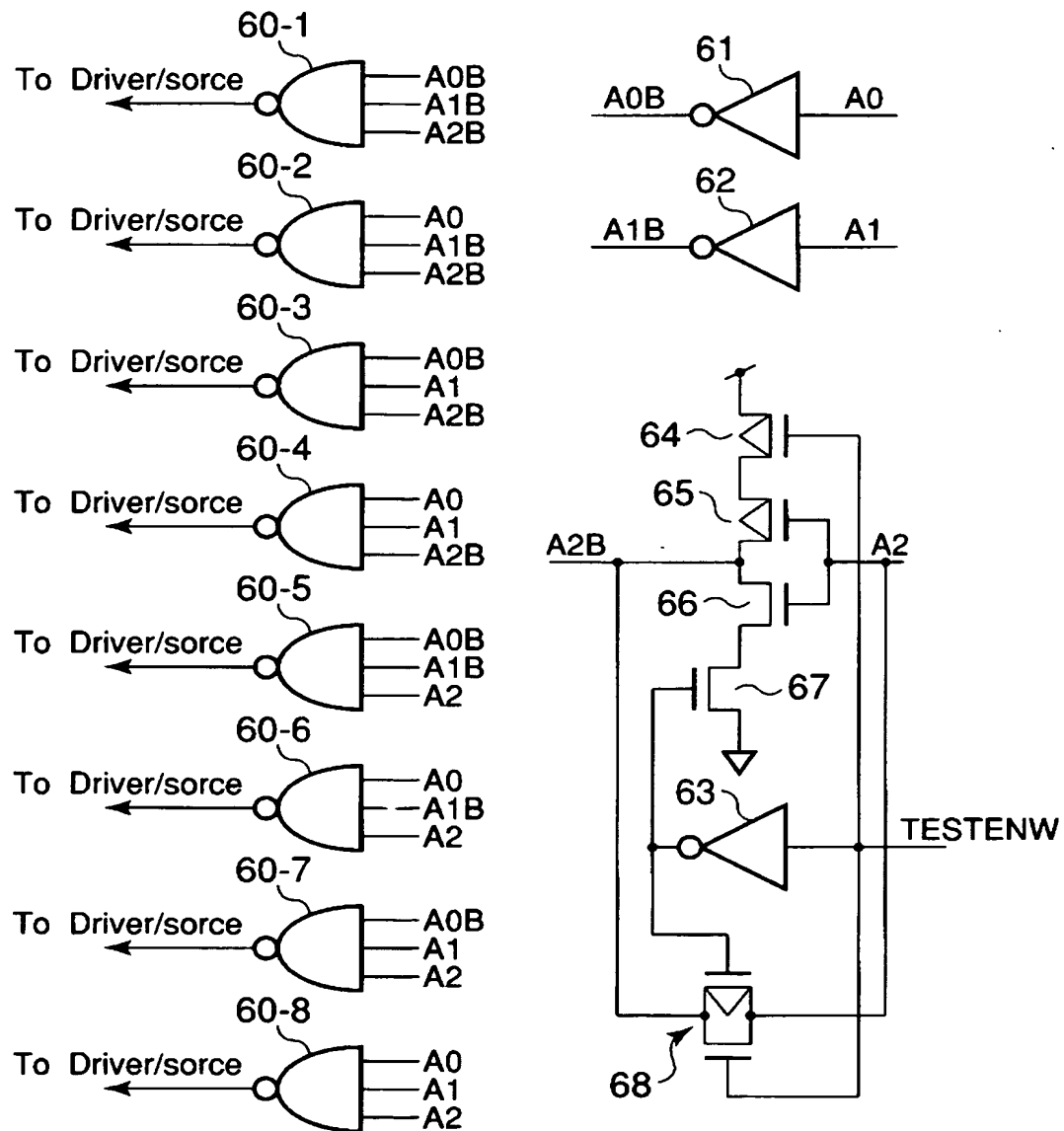
【図 6】



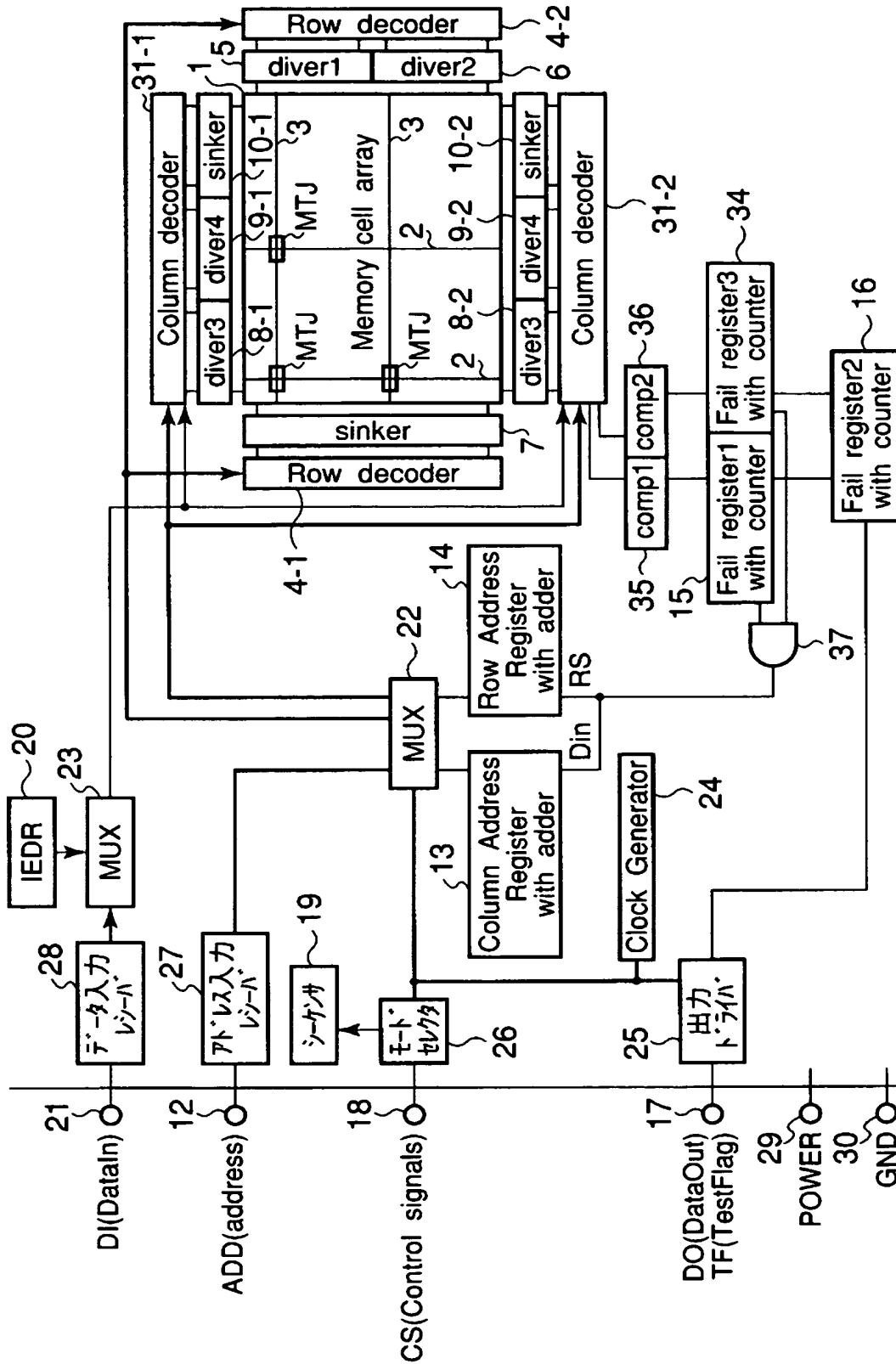
【圖 7】



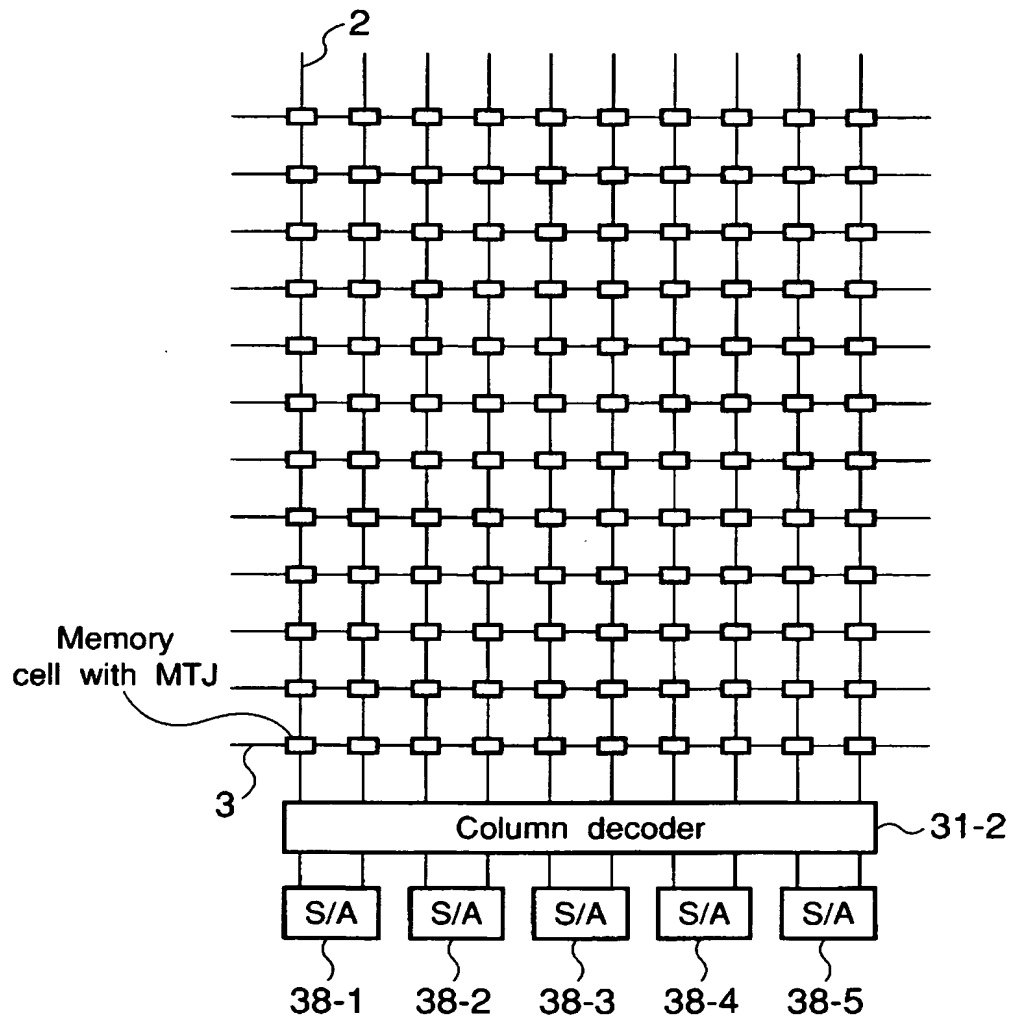
【図 8】



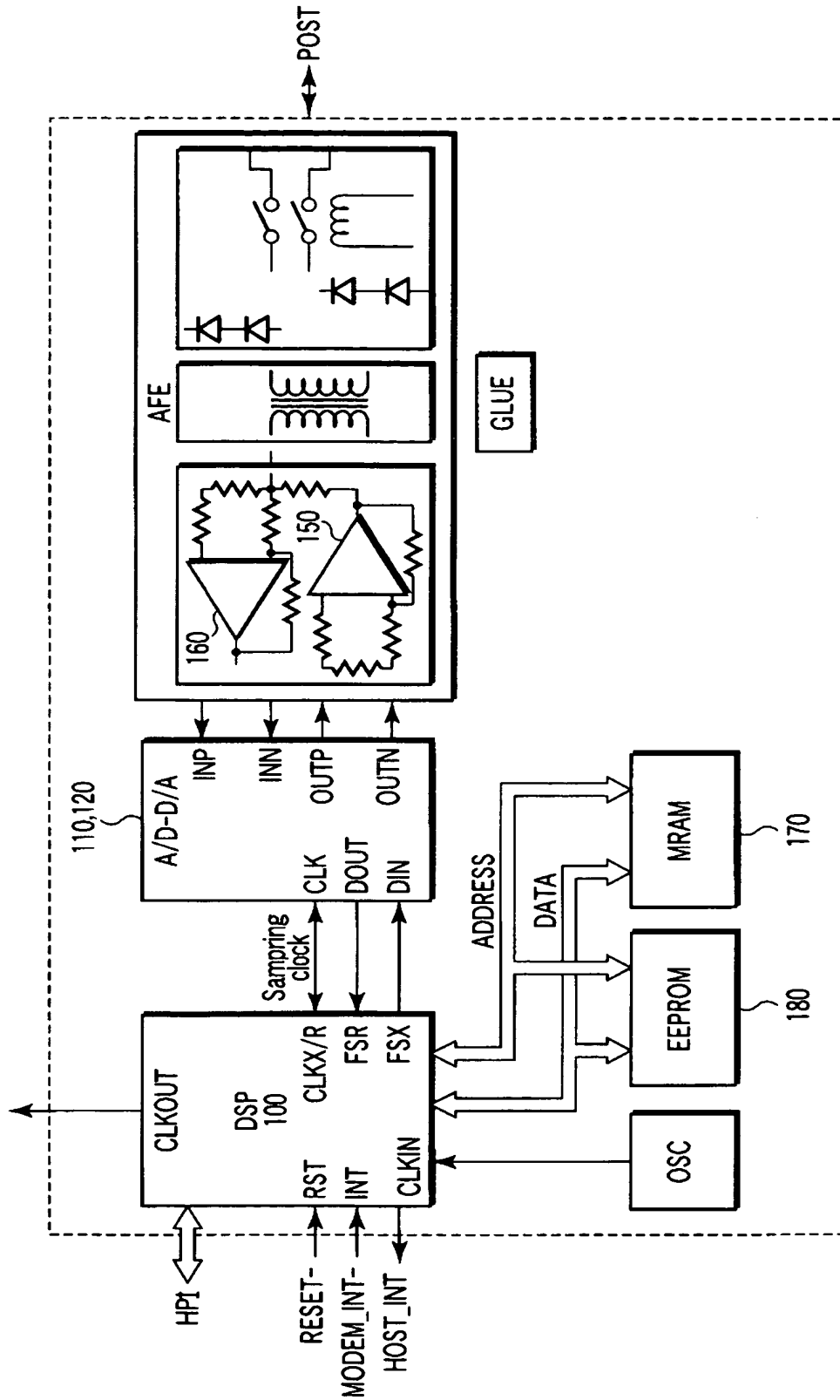
【図 9】



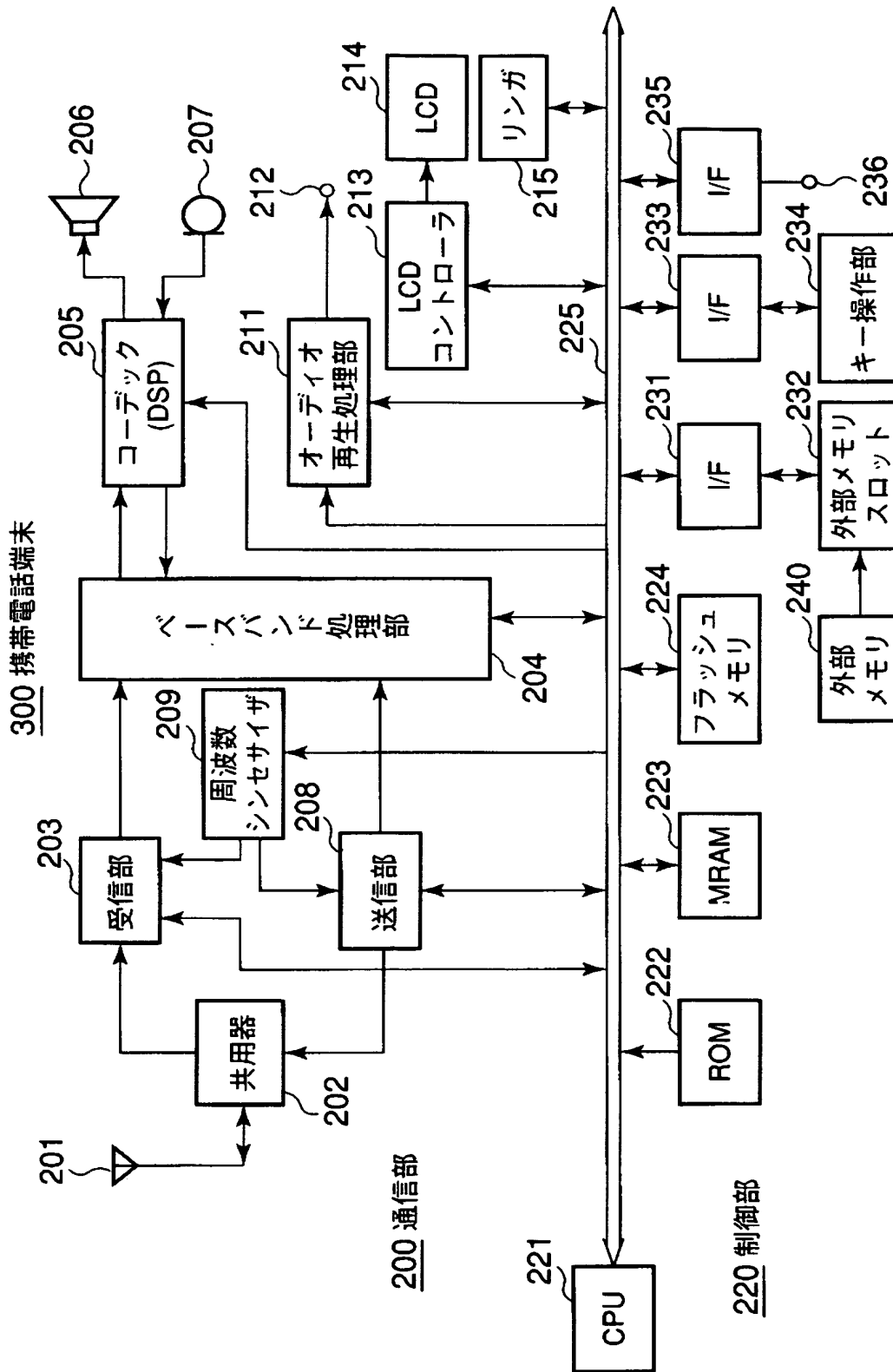
【図 10】



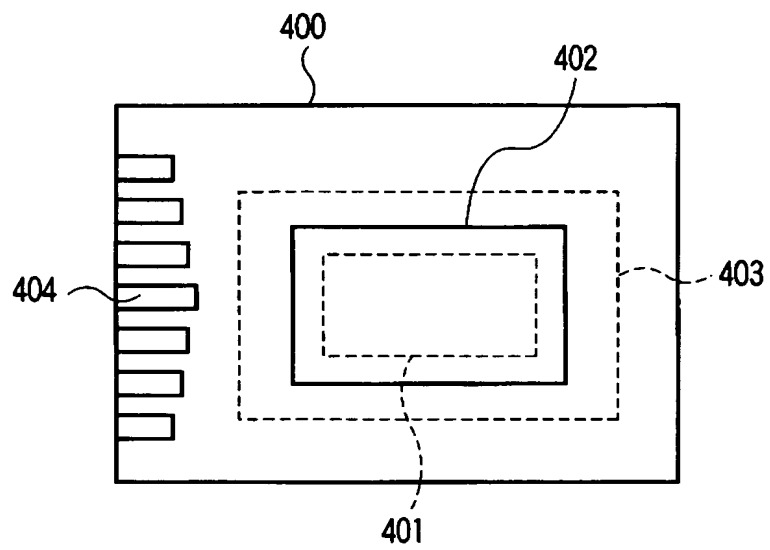
【図 11】



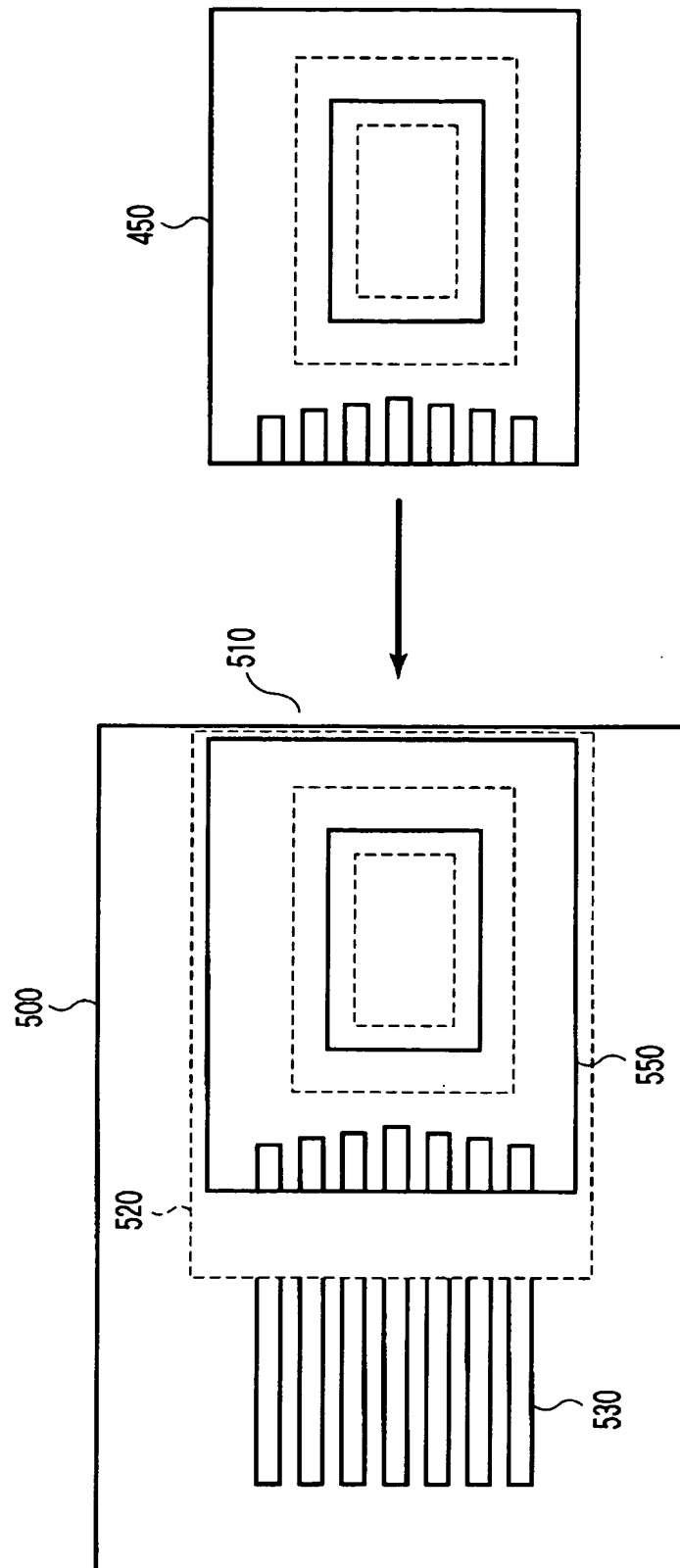
【図 12】



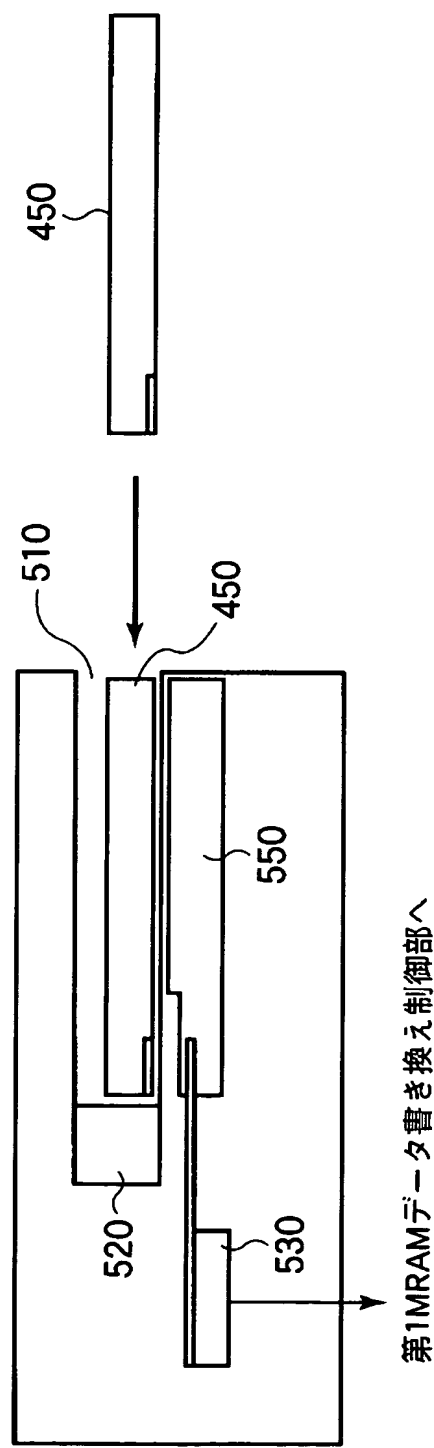
【図 13】



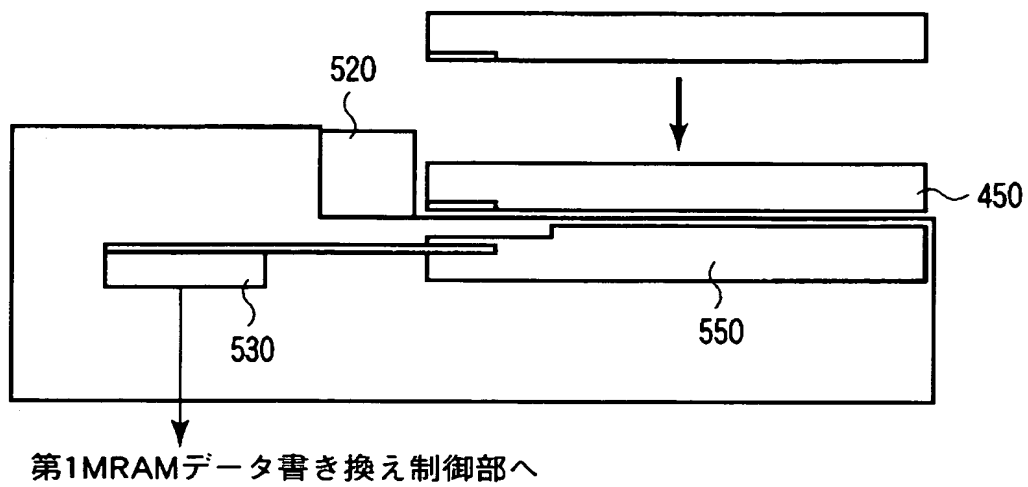
【図 14】



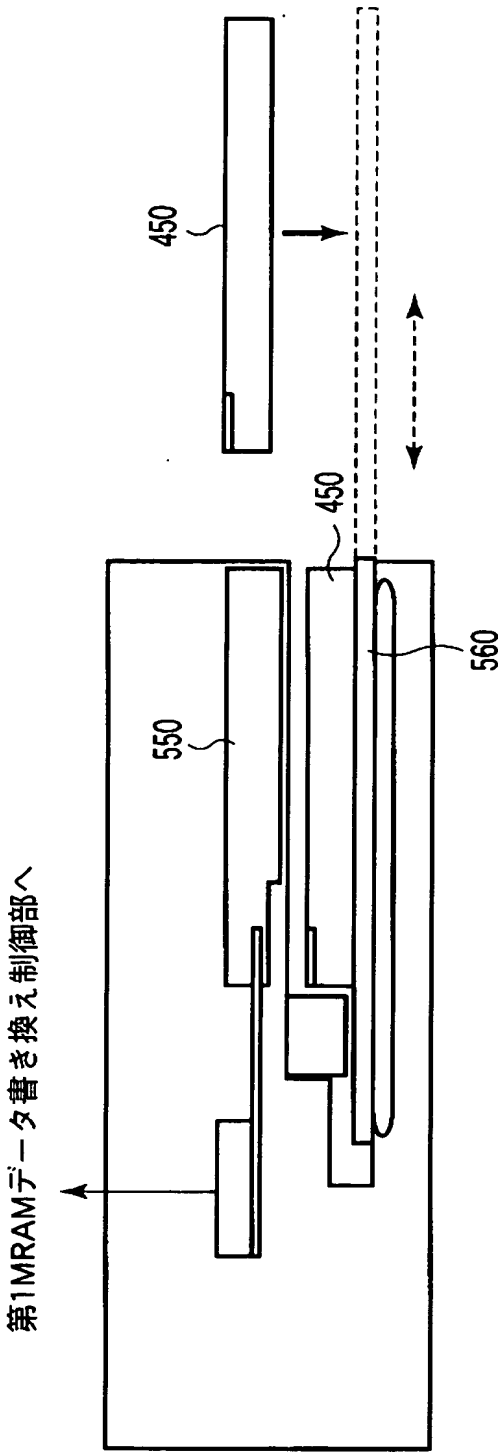
【図 15】



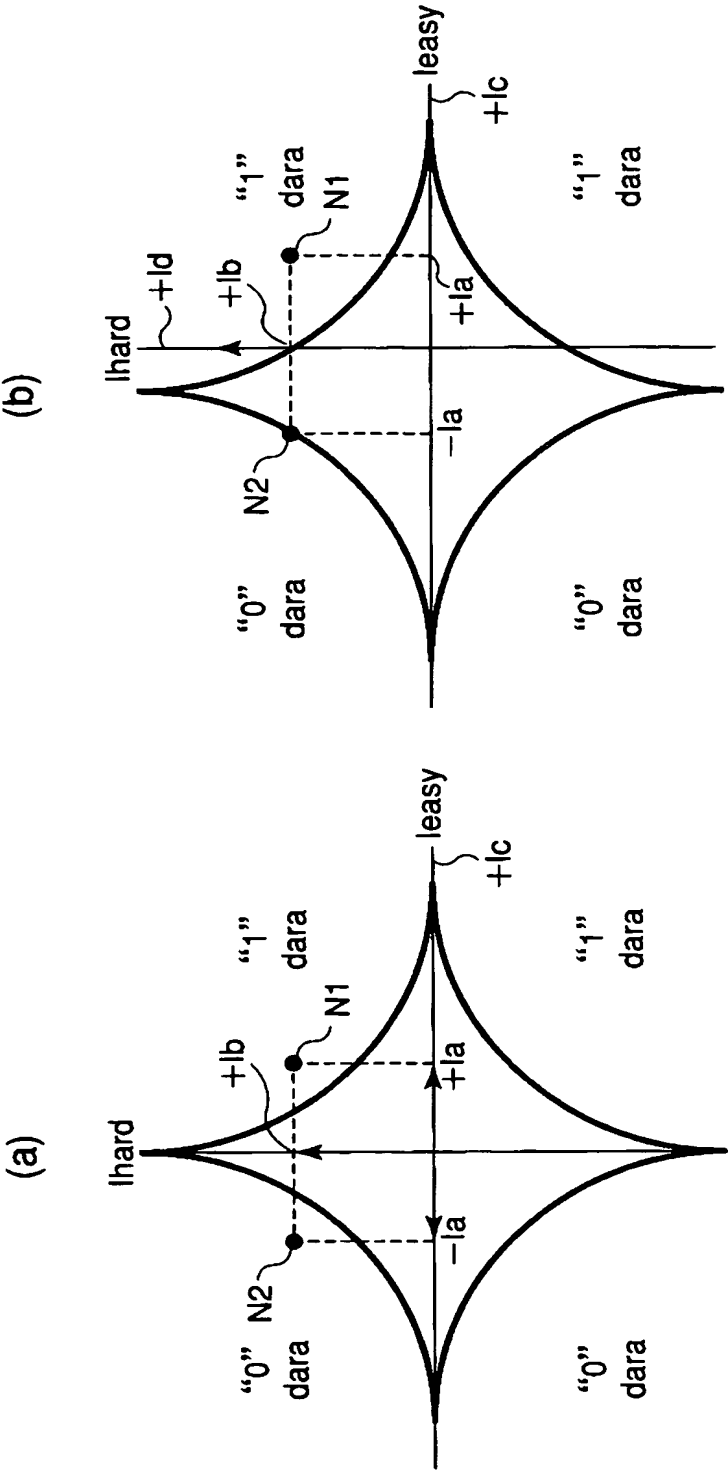
【図 16】



【図 17】



【図18】



【書類名】 要約書**【要約】****【課題】**

抵抗値が一定の値以外のビット、あるいはアステロイド特性にシフトがあるビットをより短いテスト時間で早い段階で検出でき、量産時の高スループットさらには低コスト化に寄与することが可能になる組み込みテスト回路を備えた磁気ランダムアクセスメモリを提供することを目的としている。

【解決手段】

MRAMにおいて、組み込みテスト回路を設けている。このテスト回路は、メモリセルアレイ 1 中の書き込み特性にシフトがあるビットを、困難軸方向の一軸書き込み電流を印加する手法を用いて不良ビットとして検出する。これによって、規定以上の不良ビットを有し、救済できないチップを短いテスト時間で判別することが可能になる。

【選択図】 図 1

特願 2 0 0 3 - 3 0 0 4 9 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝